

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-062103

(43)Date of publication of application : 02.03.1990

(51)Int.Cl.

H01P 5/02
H01P 5/08
H01P 5/107
H03F 3/60

(21)Application number : 63-213261

(71)Applicant : NEC CORP

(22)Date of filing : 26.08.1988

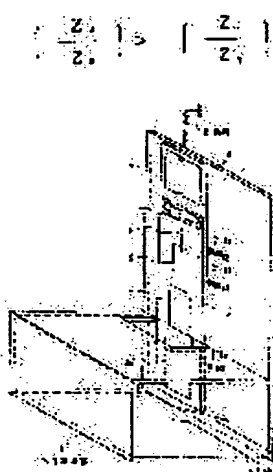
(72)Inventor : MOCHIZUKI TAKUSHI

(54) ELECTRIC FIELD EFFECT TRANSISTOR AMPLIFIER

(57)Abstract:

PURPOSE: To execute the wide band low noise of a characteristic by setting the characteristic impedance of a 1/4 wavelength line to the conditions to generate the parallel resonance to the characteristic impedance in a waveguide tube microstrip converting part.

CONSTITUTION: A guidewave tube microstrip converting part 3a connected to the input side of the input matching circuit of an input waveguide tube 2 of a square is provided and first and second 1/4 wavelength lines 4 and 5 cascade-formed on a same microstrip substrate 9 are included in an input matching circuit. A characteristic impedance Z1 of a first line 4 connected to the converting part 3a is set higher than a characteristic impedance 25 to expect the input waveguide tube 2 side from the converting part 3a. Further, a characteristic impedance Z2 of a second line 5 is set so as to satisfy the relation of the inequality. Thus, the wide band noise matching can be constituted at a low loss.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2638985号

(45) 発行日 平成9年(1997)8月6日

(24) 登録日 平成9年(1997)4月25日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 P	5/107		H 0 1 P	5/107 B
	5/02	6 0 3		5/02 6 0 3 B
H 0 3 F	3/60		H 0 3 F	3/60

請求項の数1(全 16 頁)

(21) 出願番号 特願昭63-213261

(22) 出願日 昭和63年(1988)8月26日

(65) 公開番号 特開平2-62103

(43) 公開日 平成2年(1990)3月2日

(73) 特許権者 999999999

日本電気株式会社

東京都港区芝5丁目7番1号

(72) 発明者 望月 拓志

東京都港区芝5丁目33番1号 日本電気
株式会社内

(74) 代理人 弁理士 井出 直孝

審査官 岸田 伸太郎

(56) 参考文献 特開 昭63-9213 (J P, A)

特開 昭60-24710 (J P, A)

(54) 【発明の名称】 電界効果トランジスタ増幅器

(57) 【特許請求の範囲】

【請求項1】 電界効果トランジスタと、
この電界効果トランジスタの入力電極端子に接続された
入力整合回路と、
入力導波管を通過してきた信号を前記入力整合回路の入
力信号に変換する信号変換手段と
を備え、
前記入力整合回路は同一のマイクロストリップ基板上に
2段に縦続接続されて形成された第一および第二の1/4
波長線路を含む
電界効果トランジスタ増幅器において、
前記信号変換手段を前記第一および第二の1/4波長線路
と同じマイクロストリップ基板上に前記第一の1/4波長
線路に接続されて形成されたマイクロストリップ線路か
らなる導波管マイクロストリップ変換部を含み、

前記入力導波管は方形導波管であり、前記導波管マイク
ロストリップ変換部はこの方形導波管の短辺の管壁に沿
って挿入され、

前記第一の1/4波長線路の特性インピーダンス Z_1 が、前
記導波管マイクロストリップ変換部より前記入力導波管
側を見込んだ特性インピーダンス Z_s より高く設定され、
前記第二の1/4波長線路の特性インピーダンス Z_2 が、

$$\left[\frac{Z_2}{Z_s} \right] > \left[\frac{Z_1}{Z_s} \right]^3$$

の関係を満足するように設定された
ことを特徴とする電界効果トランジスタ増幅器。

【発明の詳細な説明】

【産業上の利用分野】

本発明は電界効果トランジスタ（以下、FETとい

う。)を用いた増幅器に利用される。

本発明はFET増幅器に関し、特に広帯域にわたって低雑音特性を有するFET増幅器に関する。

〔概要〕

本発明はFET増幅器において、

導波管同軸変換部を、方形導波管の短辺の管壁に沿って直接マイクロストリップ回路を挿入した導波管マイクロストリップ変換部で構成し、FETの入力整合回路を、前記マイクロストリップ回路と同一のマイクロストリップ基板に形成され、2段に縦続接続された異なる特性インピーダンスを有する1/4波長線路で構成し、初段の前記1/4波長線路の特性インピーダンスを変換部より導波管側を見込んだ特性インピーダンスよりも高く設定し、かつ二つの前記1/4波長線路の特性インピーダンスを前記導波管マイクロストリップ変換部における特性インピーダンスに並列共振を起こす条件に設定することにより、

$$F = F_0 + \frac{R_n}{R_s} \left(\frac{(R_s - R_0)^2 + (X_s - X_0)^2}{R_0^2 + X_0^2} \right) \dots\dots\dots (1)$$

ここで、

F: 入力回路により定まる雑音指数

F₀: 最適雑音指数

R_n: 等化入力雑音抵抗

R₀: 最適雑音指数を与えるレジスタンス

X₀: 最適雑音指数を与えるリアクタンス

R_s: 入力回路のレジスタンス (ソースレジスタンス)

X_s: 入力回路のリアクタンス (ソースリアクタンス)

前記(1)式から最適雑音を与えるFET増幅器を構成するためには、ソースインピーダンスZ_s (Z_s=R_s+jX_s)をFETのデバイスパラメータにより定まる最適雑音を与えるインピーダンスZ₀ (Z₀=R₀+jX₀)に一致させることが好ましく、さらにこの入力雑音整合を実現する構成回路としては、低損失であることがFET増幅器の低雑音化を計る上で重要である。

そこで従来の方法としては、第8図に示すように、入力導波管2に挿入されたアンテナの導波管同軸変換部3により同軸変換した後、50Ωの終端の入力端子20とダミー22とを接続するダミー接続端子21を有するアイソレータ16を配し、さらにそのアイソレータ16のアイソレータ出力端子23とFET1の入力端子との間を1/4波長線路5およびFET1のゲート側リードインダクタンス6で接続することによって最適雑音整合をとっていた。なお第8図において、17、18および19はトランスフォーマー、7は出力整合回路、8は負荷、T₂、T₃および4は境界面である。

〔発明が解決しようとする問題点〕

この整合手法を用いた場合、第8図の境界面T₃から電源側(図では左側)を見込んだソースインピーダンス

特性の広帯域低雑音化を図ったものである。

〔従来の技術〕

衛星通信用低雑音増幅器においては、電波の衛星地上間伝播経路における減衰や衛星本体の送信能力の限界といった要因から、衛星より地上に到達する電波は極めて微弱なものとなる。このため、増幅器自体で発生する雑音を可能な限り少なくする必要がある。また、近年衛星通信では情報量の増大に伴って使用周波数域を広げる方向にあることから、増幅器自体の広帯域化を要求されている。従って今日の衛星通信においては広帯域にわたって低雑音であるFET増幅器の実現が要望視されている。

一般的にFETの入力側に無損失な整合回路を接続したFET増幅器等化回路は第7図で示される。この等化回路におけるFET1の雑音指数Fは次の(1)式に示すように、入力回路の出力インピーダンス(ソースインピーダンス)Z_s (Z_s=R_s+jX_s)に依存して決定される。

は、第9図のスミスチャート上の軌跡27の位置に変換されるが、FET1のゲート側リードインダクタンス6により高周波数域での誘導リアクタンスが増加し、結果として境界面T₄から電源側を見込んだソースインピーダンス軌跡28の周波数方向は同図に示すようになる。このとき、最適雑音を与えるインピーダンスは、通常同図の軌跡13のように存在するため、互いの軌跡の周波数方向が逆向きで交差する形となることにより、周波数帯域の両端の周波数における雑音の劣化は避けられず、雑音の広帯域化は望めなかった。

さらに、FET入力回路中における50Ω終端アイソレータ16の配備は、その挿入損失から周波数帯域全域にわたって雑音劣化を招く原因ともなっていた。

そこで、以上述べた従来例の問題点についての改善を考慮した結果、アイソレータ16挿入による雑音劣化については、変換損失を極力低減させた雑音整合入力回路構成を念頭に置いた場合、導波管同軸変換部3をインピーダンス変換の出発点として直接利用することを検討しなければならない。

また、他方の問題である雑音特性の狭帯域化を解決するためには、導波管同軸変換部3からFET入力端までの雑音整合過程において、FET直前の入力整合回路の出力インピーダンス軌跡の周波数方向と広がり方を広帯域に最適雑音を与えるインピーダンス奇跡と一致させる手法を導入することも不可欠である。

本発明の目的は、前述の問題点をその検討結果に基づいて解決することにより、広帯域低雑音の優れた特性を有するFET増幅器を提供することにある。

〔問題点を解決するための手段〕

本発明は、電界効果トランジスタと、この電界効果トランジスタの入力電極端子に接続された入力整合回路と、入力導波管を通過してきた信号を前記入力整合回路の入力信号に変換する信号変換手段とを備え、前記入力整合回路は同一のマイクロストリップ基板上に2段に縦続接続されて形成された第一および第二の1/4波長線路を含む電界効果トランジスタ増幅器において、前記信号変換手段を前記第一および第二の1/4波長線路と同じマイクロストリップ基板上に前記第一の1/4波長線路に接続されて形成されたマイクロストリップ線路からなる導波管マイクロストリップ変換部を含み、前記入力導波管は方形導波管であり、前記導波管マイクロストリップ変換部はこの方形導波管の短辺の管壁に沿って挿入され、前記第一の1/4波長線路の特性インピーダンス Z_1 が、前記導波管マイクロストリップ変換部より前記入力導波管側を見込んだ特性インピーダンス Z_s より高く設定され、前記第二の1/4波長線路の特性インピーダンス Z_2 が、

$$\left[\frac{Z_2}{Z_s} \right] > \left[\frac{Z_1}{Z_s} \right]^3$$

の関係を満足するように設定されたことを特徴とする。

〔作用〕

本発明のFET増幅器は、低雑音を実現するためのFET入力回路の低損失化の要求より、導波管同軸変換部をFETに接続される入力整合回路につながった同一マイクロストリップ基板上のマイクロストリップ線路にて構成された導波管マイクロストリップ変換部とすることによって、アイソレータを使用せずに、導波管からの入力信号を直接FET回路に導いており、特にアンテナとなる導波管内に挿入されたマイクロストリップ線路を方形導波管短辺の管壁に近づけて、変換部より導波管を見込んだ特性インピーダンスを低く設定し、従来のアイソレータ挿入による雑音劣化を防止できる。

さらに、その変換部とFETの入力電極端子との間をそれぞれ異なる特性インピーダンスを有する2段のマイクロストリップ1/4波長線路にて接続し、その特性インピーダンス値の関係は後述する条件式を満足させることにより、導波管同軸変換部における特性インピーダンスに対する並列共振効果導き、広帯域雑音整合に対して大きく貢献させることができる。すなわち、この2段の1/4波長線路の特性インピーダンスを高く設定できることから、並列共振による広帯域化を計りながらも、回路自体は最適損失を有する線路にて構成することか可能であり、入力部損失による雑音劣化を最小限に留めることができる。

〔実施例〕

以下、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例を示す模式的斜視図であ

る。

本実施例は、電界効果トランジスタ1と、この電界効果トランジスタ1の入力電極端子に接続された入力整合回路とを備えた電界効果トランジスタ増幅器において、

方形の入力導波管2の短辺の管壁に沿って直接マイクロストリップ線路を挿入して構成され、前記入力整合回路の入力側に接続された導波管マイクロストリップ変換部3aを備え、前記入力整合回路は、同一マイクロストリップ基板9上に形成され2段に縦続接続された第一および第二の1/4波長線路4および5を含み、導波管マイクロストリップ変換部3aに接続された第一の1/4波長線路4の特性インピーダンス Z_1 を、導波管マイクロストリップ変換部3aより入力導波管2側を見込んだ特性インピーダンス Z_s より高く設定し、第二の1/4波長線路5の特性インピーダンス Z_2 を、

$$\left[\frac{Z_2}{Z_s} \right] > \left[\frac{Z_1}{Z_s} \right]^3$$

の関係を満足するように設定される。

なお、第1図においては、6はFET1のゲート側のリードインダクタンス、7は出力整合回路および8は負荷である。

ここで、導波管マイクロストリップ変換部3aと、1/4波長線路4および5と、リードインダクタンス6と、FET1と、出力整合回路7とは同一マイクロストリップ基板9上に構成される。そして、マイクロストリップ基板9は、アンテナ部である導波管マイクロストリップ変換部3aを入力導波管2の短辺の管壁に平行に挿入した形で装着される。

本発明の特徴は、第1図において、導波管マイクロストリップ変換部3aと、所定の特性インピーダンスを有する1/4波長線路4および5とを設けたことにある。

次に、本実施例の動作について説明する。

入力導波管2を通過してきた入力信号は、導波管管壁に挿入されたマイクロストリップ基板9上の導波管マイクロストリップ変換部3aよりマイクロストリップ伝送に変換され、マイクロストリップ基板9上の2段の1/4波長線路4および5ならびにFET1のゲート側のリードインダクタンス6を介してFET1に加えられる。そしてFET1で増幅された信号は出力整合回路7を経て負荷8に供給される。

この回路構成の場合、アンテナとなるマイクロストリップ基板9上の導波管マイクロストリップ変換部3aを方形の入力導波管2の短辺の管壁に近い位置で平行に挿入していることにより、この導波管マイクロストリップ変換部3a（端面 T_1 ）における特性インピーダンスとしては、変換部を方形導波管長辺の中央部に設けた場合と比較してより容易に低いインピーダンス値を実現することができる。

さらに、そのオフセットされた導波管マイクロストリ

ップ変換部3aにつながる2段の1/4波長線路4および5の特性インピーダンスを導波管マイクロストリップ変換部3aにより実現した低インピーダンス値より高く選定した上で、両者の特性インピーダンス値の間にある相関的な条件が成立するようにそれぞれの値を設定する。

かくして、帯域の中心周波数に対応する導波管マイクロストリップ変換部3aの出力インピーダンスは最適雑音を与えるインピーダンスの実部と同じインピーダンス値に変換されるとともに、同様にインピーダンス変換された中心周波数以外の周波数に対しては、さらに並列共振によるセサプタンス成分が与えられ、結果として2段の1/4波長線路4および5による変換後（端面T₃）のインピーダンス軌跡は、最終的にFET1のゲート側のリードインダクタンス6によりFET1直前（端面T₄）までインピーダンス変換を施した場合、高周波数域での誘導リアクタンスの増加により最適雑音を与えるインピーダンスと逆方向で交差してしまわないよう十分引き伸ばされること

$$\begin{pmatrix} 1 & 0 \\ \frac{1}{Z_s} & 1 \end{pmatrix} \dots\dots\dots (2)$$

次に、1/4波長線路4および5の伝送行列を求めるため、第3図に示すように、受端がZ_{n+1}で終端され、特性インピーダンスZを有する長さlの伝送線路の入出力関

となる。

従って、従来例と比較して、より広帯域にわたって入力回路のソースインピーダンスを最適雑音を与えるインピーダンスに接近させることが可能となる。

ここで、2段の1/4波長線路4および5の効果によるインピーダンスの抵抗成分方向への変換レシオならびに並列共振条件を算出する。

第2図は入力導波管2の短辺管壁に設けられた導波管マイクロストリップ変換部3aに、2段の1/4波長線路4および5を接続した場合の伝送線路構成を表記したものである。ここで、導波管マイクロストリップ変換部3aの出力インピーダンスZ_sと、2段の1/4波長線路4および5以後の負荷インピーダンスZ_Lは等しくおいている（Z_s=Z_L=Z₀）。なお、Z₁およびZ₂は1/4波長線路4および5それぞれの特性インピーダンスを示す。

第2図における導波管マイクロストリップ変換部3aの伝送行列を（2）式に示す。

係を表す伝送行列を求めると、（3）式のように与えられる。

$$\begin{pmatrix} \cos \left[\frac{2\pi}{\lambda} \cdot l \right] & j Z \sin \left[\frac{2\pi}{\lambda} \cdot l \right] \\ j \frac{1}{Z} \sin \left[\frac{2\pi}{\lambda} \cdot l \right] & \cos \left[\frac{2\pi}{\lambda} \cdot l \right] \end{pmatrix} \dots\dots\dots (3)$$

ここでlを中心波長の1/4（l=λ₀/4）にとると、

$$\begin{aligned} \theta &= \frac{2\pi}{\lambda} l = \frac{2\pi}{\lambda} \cdot \frac{\lambda_0}{4} = \frac{\pi}{2} \cdot \frac{v/f_0}{v/f} \\ &= \frac{\pi}{2} + \frac{\pi \Delta f}{2 f_0} = \frac{\pi}{2} + \delta \end{aligned} \dots\dots\dots (4)$$

（4）式より周波数帯域が極端に広帯域でないとすれば、δ（またはΔf）は十分に小さいと考えられるため、

$$\begin{aligned} \sin \theta &= \sin \left[\frac{2\pi}{\lambda} \cdot \frac{\lambda_0}{4} \right] \\ &= \lim_{\delta \rightarrow 0} \sin \left[\frac{\pi}{2} + \delta \right] \approx 1 \end{aligned} \dots\dots\dots (5)$$

$$\cos \theta = \cos \left(\frac{2\pi}{\lambda} \cdot \frac{\lambda_0}{4} \right)$$

$$= \lim_{\delta \rightarrow 0} \sin(\pi + \delta) \approx -\delta \quad \dots\dots\dots (6)$$

を(3)式に代入すると、最終的に、1/4波長線路4および5の伝送行列は(7)式で与えられる。

$$\begin{pmatrix} -\delta & jZ \\ \frac{j}{Z} & -\delta \end{pmatrix} \quad \dots\dots\dots (7)$$

従って、導波管マイクロストリップ変換部3a、1/4波長線路4および1/4波長線路5を縦続接続した伝送行列

は次式で与えられる。なお Z_1 および Z_2 は1/4波長線路4および5それぞれの特性インピーダンスである。

$$\begin{pmatrix} 1 & 0 \\ \frac{1}{Z_s} & 1 \end{pmatrix} \begin{pmatrix} -\delta & jZ_1 \\ \frac{j}{Z_1} & -\delta \end{pmatrix} \begin{pmatrix} -\delta & jZ_2 \\ \frac{j}{Z_2} & -\delta \end{pmatrix}$$

$$= \begin{pmatrix} \delta^2 - \frac{Z_1}{Z_2} & \\ \frac{1}{Z_s} \left(\delta^2 - \frac{Z_1}{Z_2} \right) - j\delta \left(\frac{1}{Z_1} + \frac{1}{Z_2} \right) & \\ -j\delta (Z_1 + Z_2) & \\ \left(\delta^2 - \frac{Z_2}{Z_1} \right) - j\frac{1}{Z_s} \delta (Z_1 + Z_2) & \end{pmatrix} \quad \dots\dots\dots (8)$$

(8)式の伝送行列より、Zパラメータは、

$$\begin{pmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{pmatrix} = \begin{pmatrix} \frac{A}{C} & \frac{1}{C} \\ \frac{AD}{C} - B & \frac{D}{C} \end{pmatrix}$$

より、

$$Z_{11} = \frac{\delta^2 - \frac{Z_1}{Z_2}}{\frac{1}{Z_s} \left(\delta^2 - \frac{Z_1}{Z_2} \right) - j \delta \left(\frac{1}{Z_1} + \frac{1}{Z_2} \right)} \quad \dots\dots\dots (9)$$

$$Z_{12} = \frac{1}{\frac{1}{Z_s} \left(\delta^2 - \frac{Z_1}{Z_2} \right) - j \delta \left(\frac{1}{Z_1} + \frac{1}{Z_2} \right)} \quad \dots\dots\dots (10)$$

$$Z_{21} = \frac{(\delta^2 + 1)^2}{\frac{1}{Z_s} \left(\delta^2 - \frac{Z_1}{Z_2} \right) - j \delta \left(\frac{1}{Z_1} + \frac{1}{Z_2} \right)} \quad \dots\dots\dots (11)$$

$$Z_{22} = \frac{\left(\delta^2 - \frac{Z_2}{Z_1} \right) - j \delta \frac{1}{Z_s} (Z_1 + Z_2)}{\frac{1}{Z_s} \left(\delta^2 - \frac{Z_1}{Z_2} \right) - j \delta \left(\frac{1}{Z_1} + \frac{1}{Z_2} \right)} \quad \dots\dots\dots (12)$$

となる。

$$\begin{pmatrix} V_{IN} \\ V_{OUT} \end{pmatrix} = \begin{pmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{pmatrix} \begin{pmatrix} I_{IN} \\ -I_{OUT} \end{pmatrix}$$

において、送端終端として

$$I_{IN} = 0$$

より、2段の1/4波長線路の出カインピーダンス Z_{OUT} は

$$Z_{OUT} = Z_{22} = \frac{V_{OUT}}{-I_{OUT}}$$

次の(13)式に示すように Z_{22} ((12) 式) に等しく、

同様に出力アドミタンス Y_{OUT} は以下の近似の結果次の(14)式で表される。

$$\begin{aligned} & \left(\delta^2 - \frac{Z_2}{Z_1} \right) - j \delta \frac{1}{Z_s} (Z_1 + Z_2) \\ &= \frac{1}{\frac{1}{Z_s} \left(\delta^2 - \frac{Z_1}{Z_2} \right) - j \delta \left(\frac{1}{Z_1} + \frac{1}{Z_2} \right)} \end{aligned} \quad \dots\dots\dots (13)$$

$$\begin{aligned}
 Y_{OUT} &= \frac{\frac{1}{Z_s} \left(\delta^2 - \frac{Z_1}{Z_2} \right) - j\delta \left(\frac{1}{Z_1} - \frac{1}{Z_2} \right)}{Z_{OUT} \left(\delta^2 - \frac{Z_2}{Z_1} \right) - j\delta \frac{1}{Z_s} (Z_1 + Z_2)} \\
 &= \frac{\frac{1}{Z_s} (\delta^4 + 2\delta^2 + 1) + j\delta \left\{ \delta^2 \left(\frac{Z_1 + Z_2}{Z_s^2} - \frac{1}{Z_1} - \frac{1}{Z_2} \right) + \left(\frac{Z_2}{Z_1^2} + \frac{1}{Z_1} - \frac{Z_1^2}{Z_2 Z_s^2} - \frac{Z_1}{Z_s^2} \right) \right\}}{\delta^4 + \left\{ \frac{1}{Z_s^2} (Z_1 + Z_2)^2 - 2 \frac{Z_2}{Z_1} \right\} \delta^2 + \left(\frac{Z_2}{Z_1} \right)^2}
 \end{aligned}$$

$$Y_{OUT}' = Y_{OUT} \cdot Z$$

$$\begin{aligned}
 &= \frac{(\delta^4 + 2\delta^2 + 1) + j\delta \left\{ \delta^2 \left(Z_{10} + Z_{20} - \frac{1}{Z_{10}} - \frac{1}{Z_{20}} \right) + \left(\frac{Z_{20}}{Z_{10}^2} + \frac{1}{Z_{10}} - \frac{Z_{10}^2}{Z_{20}} - Z_{10} \right) \right\}}{\delta^4 + \left\{ (Z_{10} + Z_{20})^2 - 2 \frac{Z_{20}}{Z_{10}} \right\} \delta^2 + \left(\frac{Z_{20}}{Z_{10}} \right)^2}
 \end{aligned}$$

なお、ここでは、 $Z_L = Z_S = Z$ で正規化し、 Z_1 、 Z_2 を Z による正規化特性インピーダンス Z_{10} および Z_{20} で表してある。さらに、

$$\delta^4 + 2\delta^2 \ll 1,$$

$$\delta^2 \left(Z_{10} + Z_{20} - \frac{1}{Z_{10}} - \frac{1}{Z_{20}} \right)$$

$$\ll \frac{Z_{20}}{Z_{10}^2} + \frac{1}{Z_{10}} - \frac{Z_{10}^2}{Z_{20}} - Z_{10}$$

$$\delta_4 + \left\{ (Z_{10} + Z_{20})^2 - 2 \frac{Z_{20}}{Z_{10}} \right\} \delta^2 \ll \left(\frac{Z_{20}}{Z_{10}} \right)^2$$

を考慮して次の近似式 (14) 式) を導出した。

$$Y_{OUT}' = \left(\frac{Z_{20}}{Z_{10}} \right)^2$$

$$+ j \delta \left\{ \frac{(Z_{20} - Z_{10}^3)(Z_{10} + Z_{20})}{Z_{20}^3} \right\}$$

..... (14)

さらに、(14) 式より、

$$\delta = \frac{\pi}{2} \cdot \frac{\Delta f}{f_0}$$

を (14) 式に代入した結果、伝送行列より求めたFET1のゲート側のリードインダクタンス6直前の2段の1/4波長線路4および5の出力アドミタンスは最終的に次の (15) 式で求められる。

$$Y_{OUT}' = \underbrace{\left(\frac{Z_{10}}{Z_{20}} \right)^2}_{\text{A 項}}$$

$$+ j \underbrace{\frac{\pi}{2} \left\{ \frac{(Z_{20} - Z_{10}^3)(Z_{10} + Z_{20})}{Z_{20}^3} \right\}}_{\text{B 項}} \frac{\Delta f}{f_0}$$

..... (15)

(15) 式でA項の逆数 $(Z_{20}/Z_{10})^2$ は2段の1/4波長線路4および5の効果による中心周波数 f_0 におけるインピーダンスの抵抗成分方向への変換レシオを表している。

さらに、並列共振条件を導くため、第4図に示す等化並列共振回路を考える。同様にして、 Y_{OUT} は次の (16) 式で与えられる。

$$\begin{aligned}
 Y_{OUT} &= \left\{ \frac{1}{R_1} + \frac{1}{R_2} \right\} + j \left\{ \omega C - \frac{1}{\omega L} \right\} \\
 &= \frac{1}{R} \left\{ 1 + j \left\{ \omega C R - \frac{R}{\omega L} \right\} \right\} \\
 &\dots \left(\frac{1}{R_1} + \frac{1}{R_2} = \frac{1}{R} \text{ とする。} \right) \\
 &= \frac{1}{R} \left\{ 1 + j Q \left\{ \frac{\omega}{\omega_0} - \frac{\omega_0}{\omega} \right\} \right\} \\
 &\dots \left(Q = \omega_0 C R = \frac{R}{\omega_0 L} \text{ とおく。} \right)
 \end{aligned}$$

マクローリン展開にて

$$= \frac{1}{R} \left\{ 1 + j 2 Q \frac{\Delta f}{f_0} \right\} \dots\dots\dots (16)$$

さらに比較条件を等しくするために、電源側インピーダンス R_1 にて正規化すると

$$Y_{OUT}' = Y_{OUT} \cdot R_1 = \frac{R_1}{R} + j 2 \cdot \frac{R_1}{R} \cdot Q \cdot \frac{\Delta f}{f_0} \dots\dots\dots (17)$$

となる。

の(18)式で与えられ、

従って、(15)式および(17)式より回路のQ値は次

$$Q = \frac{\pi}{4} \cdot \frac{(Z_{20} - Z_{10}^3)(Z_{10} + Z_{20})}{Z_{10}^2 \cdot Z_{20}} \dots\dots\dots (18)$$

これより並列共振条件としては、

$$Z_{20} > Z_{10}^3 \dots\dots\dots (19)$$

すなわち、

$Q > 0$
より、

$$\left(\frac{Z_2}{Z_s} \right) > \left(\frac{Z_1}{Z_s} \right)^3 \dots\dots\dots (19)'$$

となる。

従って、(19)式より並列共振を生じさせる場合は、1/4波長線路4の特性インピーダンス Z_{10} を決定すると、一意的に次段に接続される1/4波長線路5の特性インピーダンス Z_{20} の最小値は Z_{10}^3 で規定されることがわかる。つまり Z_{10} および Z_{20} ともに(19)式の並列共振条件を満足させる場合、本発明において規定した請求範囲に相当する条件領域として

$$Z_{10} \geq 1$$

を、すなわち1/4波長線路4の特性インピーダンス Z_1 を入力導波管の短辺の管壁に設けられた導波管マイクロストリップ変換部3a(端面 T_1)における出カインピーダンス Z_s より大きくとった場合、次に表す(20)式のように Z_{20} のとり得るインピーダンスは、やはり、 $Z_{20} \geq 1$ となり、結局2段の1/4波長線路4および5の特性インピーダンス Z_1 および Z_2 は、両者ともに導波管マイクロストリップ変換部3a(端面 T_1)における出カインピーダン

ス Z_S より大きく設定できることとなる。

$$1 \leq Z_{10} \leq Z_{10}^3 < Z_{20} \quad \dots\dots (20)$$

特に、実施例の場合、導波管マイクロストリップ変換部3aを導波管短辺に相当する側壁方向へ極端にオフセットさせていることより、変換後（端面 T_1 ）の出力インピーダンス Z_S としては、もともと低い値を選べるため、2段の1/4波長線路4および5それぞれの特性インピーダンス決定の際、最適損失を有する線路インピーダンスを選択できる自由も与えられることにより、入力整合部の徹底した低損失化が可能となる。

また、並列共振を伴う最小インピーダンス（抵抗成分）変換レシオは、並列共振を生じさせるために必要な Z_{20} の最小値 Z_{10}^3 をインピーダンス変換レシオ（ Z_{20}/Z_{10} ） 2 に代入することによって、

$$\frac{Z_{10}^3}{Z_{10}^2} = Z_{10}^4$$

として与えられる。

さらに、この最小インピーダンス変換レシオ Z_{10}^4 に対して、

$$Z_{10} \geq 1$$

を考慮すると、最小変換レシオも、

$$Z_{10}^4 \geq 1$$

となり、本実施例における回路構成においては、並列共振を伴いながらインピーダンス（抵抗成分）は増大方向へ変換される。

ここで、本実施例の回路構成によるインピーダンス変換過程をスミスチャート上に表すと第5図のようになる。第5図において、点10は第1図の導波管マイクロストリップ変換部3a（端面 T_1 ）における出力インピーダンスを示し、軌跡11は2段の1/4波長線路4および5の出力端 T_3 における出力インピーダンス軌跡を示し、軌跡12は軌跡11をFET1のゲート側のリードインダクタンス6の誘導リアクタンス効果によりインピーダンス変換した後の端面 T_4 におけるソースインピーダンス状態を表している。なお軌跡13は最適雑音を与えるインピーダンスを表している。

以上により、2段の1/4波長線路4および5の特性インピーダンス値ならびに導波管マイクロストリップ変換部3aにおける出力インピーダンスの関係と、FET1のゲート側のリードインダクタンス6とを利用することによって、第5図のスミスチャート上に示すように、ソースインピーダンス軌跡の実部軸方向の変換と、並列共振効果による軌跡の周波数方向の一致および広がり方の制御との組み合わせによるインピーダンスの実部および虚部

の、両者にわたる最適雑音を与える軌跡との調整が可能となり、適応性に優れた広帯域雑音整合を低損失にて実現できる。

第6図は本実施例により得られる雑送特性を第8図の実施例との比較により示したものである。

第6図において、特性曲線14は本実施例による雑音特性であり、特性曲線15は第8図の従来例による特性を表している。

第6図における、これら二者の比較を見てもわかるように、本実施例の場合、従来例と比べて帯域両端において中心周波数に対する相対的雑音劣化が著しく改善されていることがわかる。また、絶対的に比較した場合、帯域の中心周波数近傍における本実施例での雑音特性の改善に、広帯域雑音整合を図りながらも、入力回路の低損失化を徹底させた効果が良く表れている。

〔発明の効果〕

以上説明したように、本発明は、広帯域雑音整合を低損失にて構成することが可能であり、これにより優れた広帯域雑音FET増幅器を実現できる効果がある。

また、本発明のFET増幅器を衛星通信用受信装置に適用することにより、アンテナを含めての受信系システムの小形、軽量化ならびに低価格化が図られるとともに、今後の衛星通信容量の増大に追従し得るシステムの構築といった面で多大なる効果が期待できる。

【図面の簡単な説明】

第1図は本発明の一実施例の構成を示す模式的斜視図。

第2図はその主要部の伝送線路構成を示す説明図。

第3図はその伝送線路の特性を示す説明図。

第4図はその伝送線路の等価並列共振回路を示す回路図。

第5図はその特性を示すスミスチャート。

第6図は実施例と従来例との雑音特性図。

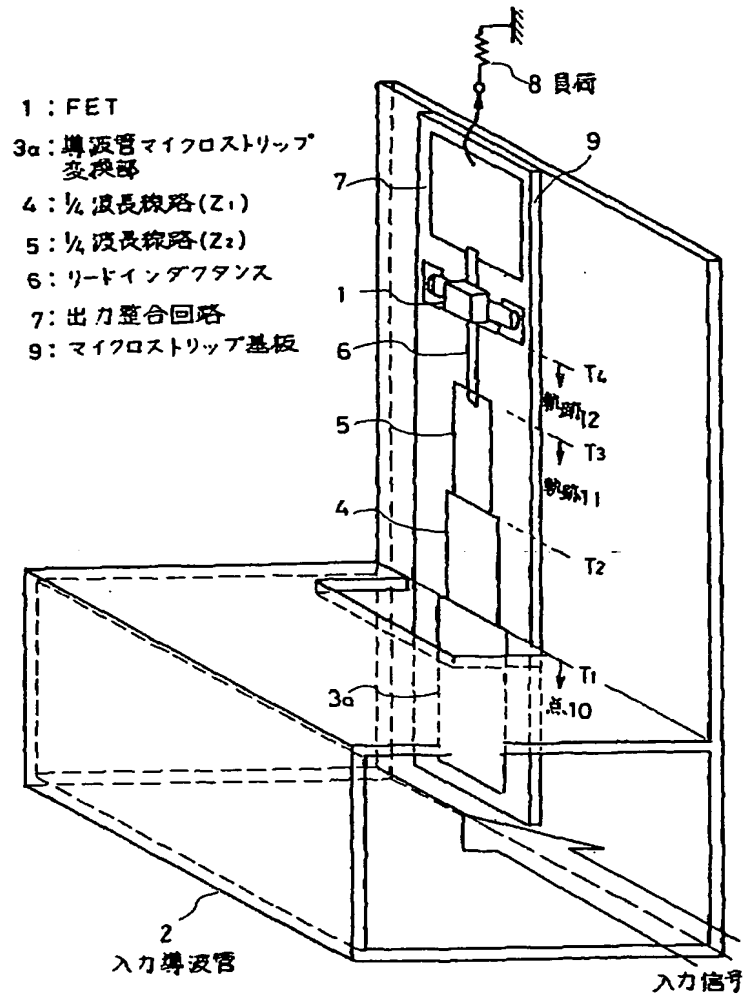
第7図はFET増幅器の等価回路図。

第8図は従来例を示すブロック構成図。

第9図はその特性を示すスミスチャート。

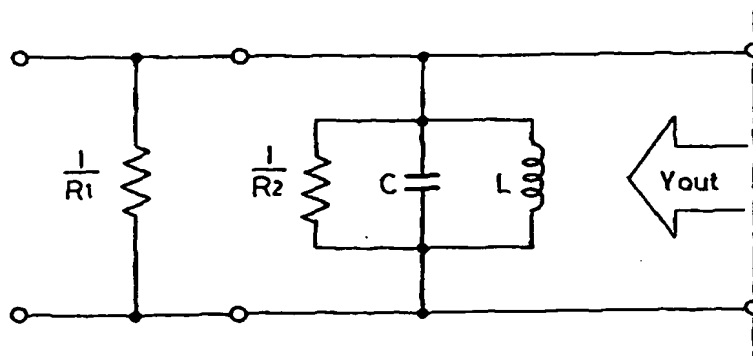
1……電界効果トランジスタ（FET）、2……入力導波管、3……導波管同軸変換部、3a……同軸マイクロストリップ変換部、4、5……1/4波長線路、6……リードインダクタンス、7……出力整合回路、8……負荷、9……マイクロストリップ基板、10、24、25……点、11、12、13、26、27、28……（インピーダンスの）軌跡、14、15……特性曲線、16……アイソレータ、17、18、19……トランスフォーマ、20……入力端子、21……ダミー接続端子、22……ダミー、23……アイソレータ出力端子、 T_1 、 T_2 、 T_3 、 T_4 ……端面。

【第1図】



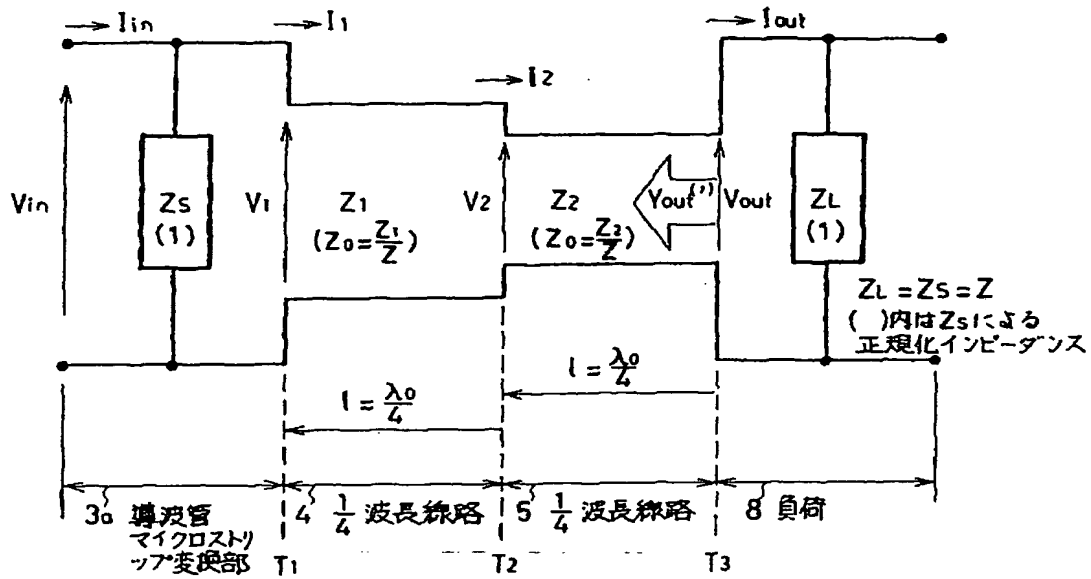
実施例の構成

【第4図】



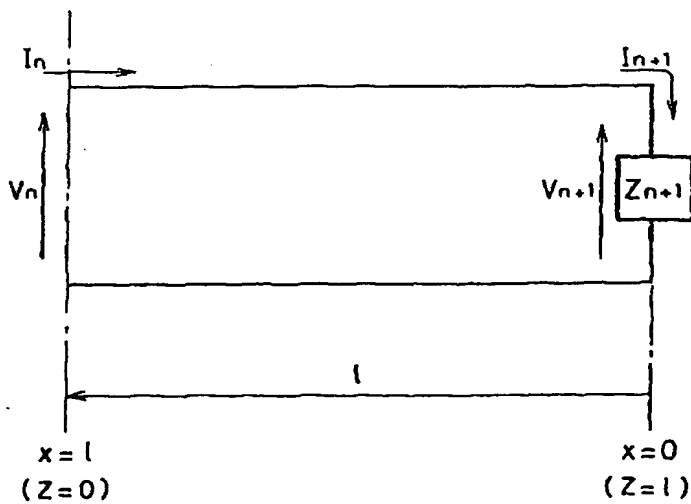
実施例 (等価並列共振回路)

【第2図】



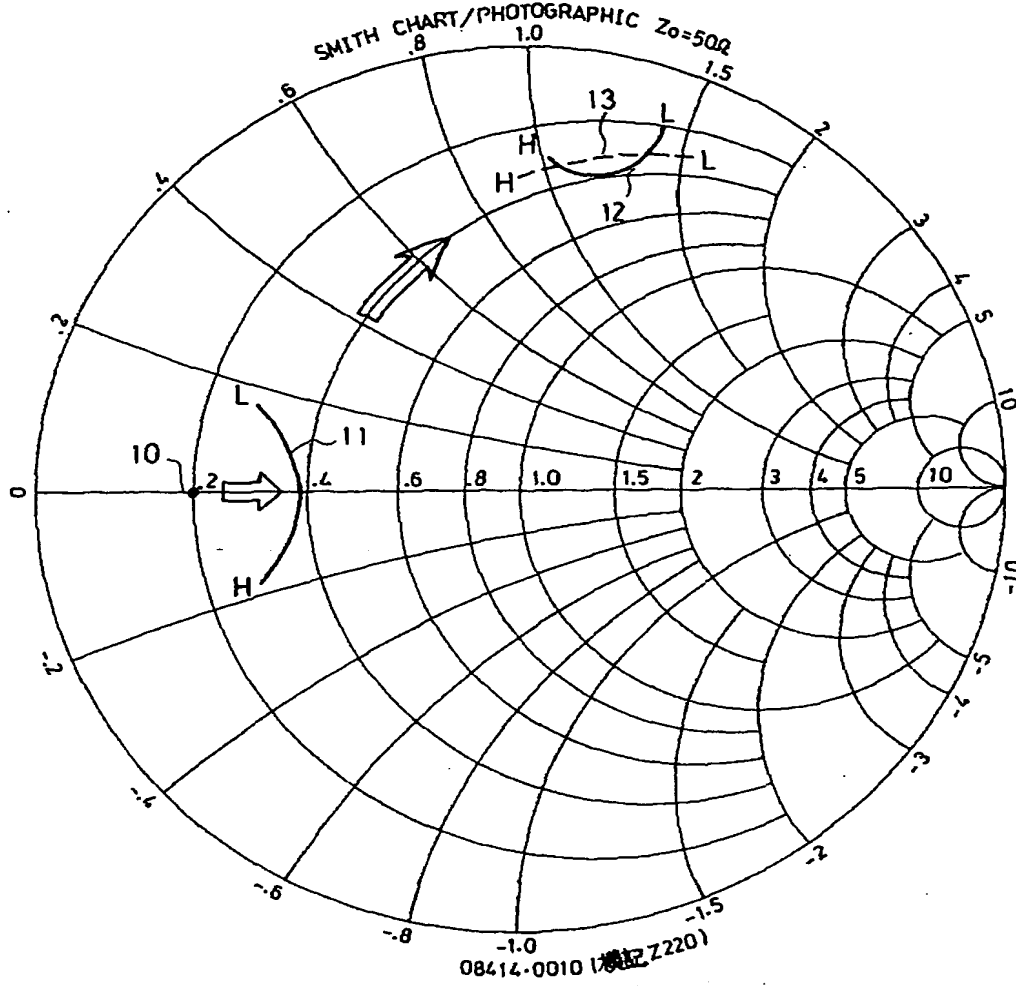
実施例 (主要部の伝送線路構成)

【第3図】



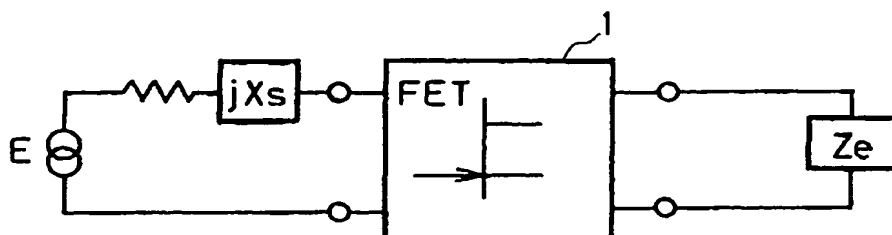
実施例 (伝送線路特性)

【第5図】



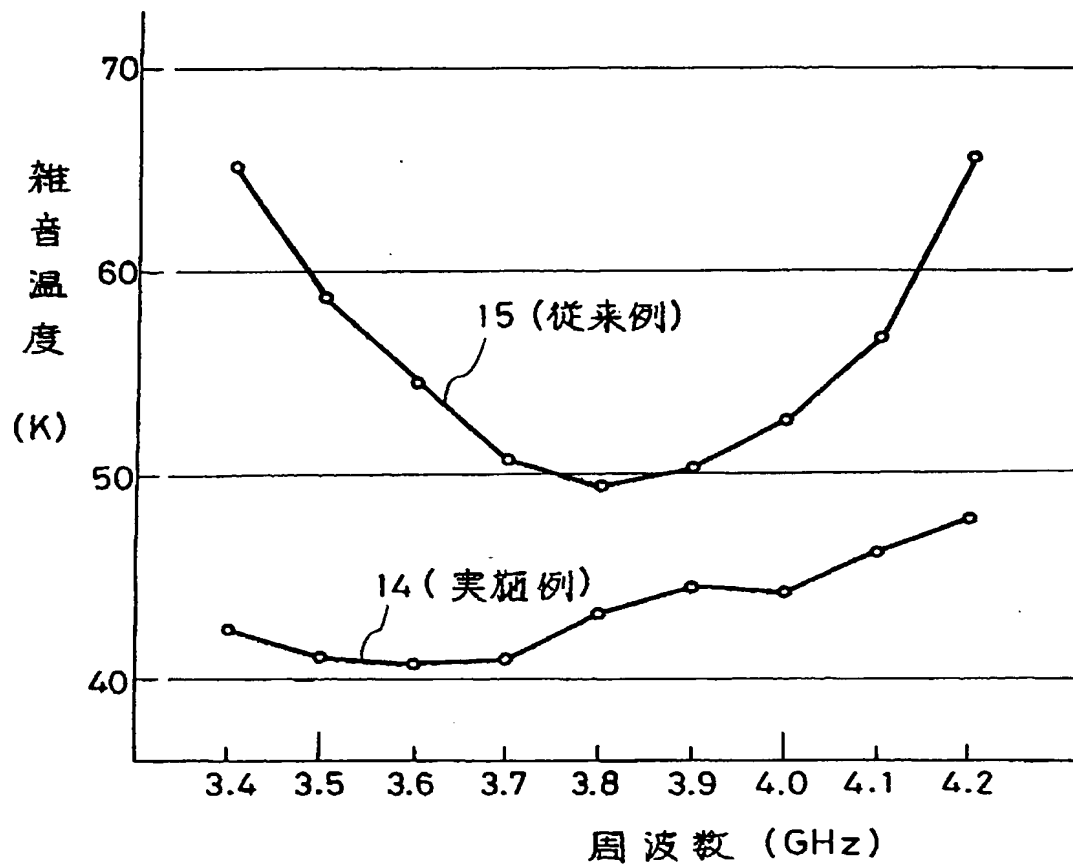
実施例の特性

【第7図】



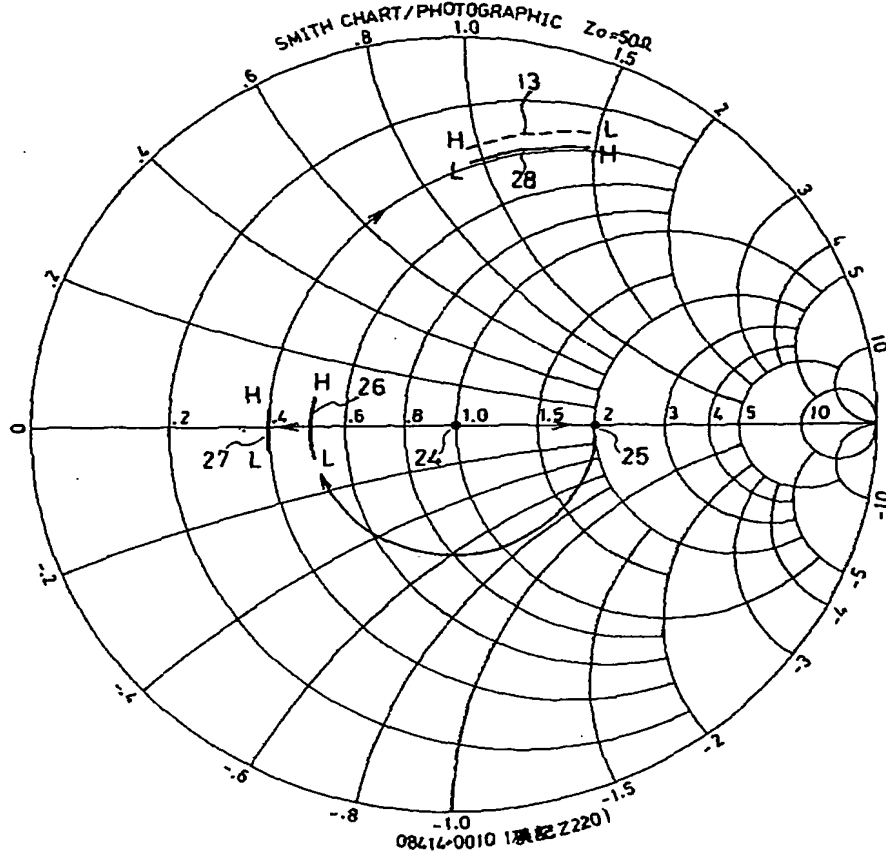
FET増幅器の等価回路

【第6図】



実例例 従来例の雑音特性

【第9図】



従来例の特性